

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



02042563 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 61-256663 [JP 61256663 A]

PUBLISHED: November 14, 1986 (19861114)

INVENTOR(s): OGURA ATSUSHI
 EGAMI KOJI

APPLICANT(s): AGENCY OF IND SCIENCE & TECHNOL [000114] (A Japanese
 Government or Municipal Agency), JP (Japan)

APPL. NO.: 60-096744 [JP 8596744]

FILED: May 09, 1985 (19850509)

INTL CLASS: [4] H01L-027/00

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 495, Vol. 11, No. 108, Pg. 125, April
 04, 1987 (19870404)

KL-
JUN-6 2000
TC 2800 MAIL ROOM

ABSTRACT

PURPOSE: To obtain a semiconductor device having a preferable active layer with less remaining strain without microcrack by using as an interlayer insulating film a layer which contains an AlN layer.

CONSTITUTION: A silicon nitride layer is accumulated, as a barrier layer for preventing aluminum atoms in an AlN layer 3 from diffusing to a lower layer silicon substrate, on a silicon substrate 1, and the layer 3 is formed with nitrogen gas and high purity aluminum target. A silicon nitride layer 4 is accumulated by the same method as the layer 2 as a barrier layer for preventing aluminum atoms in the AlN layer from diffusing, and a silicon oxide layer 5 is accumulated similarly to the layers 2, 4 for the purpose of improving the matching property with the upper silicon layer. Then, a polycrystalline silicon film is accumulated with monosilane as a starting material gas. This polycrystalline silicon film is oriented in (100) in the perpendicular direction to the substrate in the accumulated state. This silicon film is annealed to obtain a silicon active layer 6.

007001012

WPI Acc No: 87-001009/198701

XRAM Acc No: C87-000368

XRPX Acc No: N87-000833

Semiconductor device insulation layer - includes aluminium nitride layer

Patent Assignee: AGENCY OF IND SCI & TECHNOLOGY (AGEN)

Inventor: ATSUSHI O; KOJI E

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 207216	A	19870107	EP 86102461	A	19860225		198701 B
JP 61256663	A	19861114					198701
US 4643950	A	19870217	US 86837005	A	19860306		198709
EP 207216	B	19900523					199021
DE 3671570	G	19900628					199027
JP 91037866	B	19910606	JP 8596744	A	19850509		199127

Priority Applications (No Type Date): JP 8596744 A 19850509

Cited Patents: 2.Jnl.Ref; A3...8848; EP 68094; JP 57199226; No.SR.Pub

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
EP 207216	A	E	15			

Designated States (Regional): DE FR GB

US 4643950 A 7

EP 207216 B

Designated States (Regional): DE FR GB

Abstract (Basic): EP 207216 A

Semiconductor device includes one or more active layers formed on a multilayer insulating structure includes an intermediate AlN insulating film. The insulating film pref. includes a barrier layer on each side, pref. of Si₃N₄, to prevent diffusion of Al atoms.

ADVANTAGE - Use of AlN minimises residual stress in both the active layer and the insulating layer and prevents microcracking.

2/5

Title Terms: SEMICONDUCTOR; DEVICE; INSULATE; LAYER; ALUMINIUM; NITRIDE; LAYER

Derwent Class: L03; P73; U11

International Patent Class (Additional): B32B-009/04; H01L-021/20; H01L-027/00

File Segment: CPI; EPI; EngPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-256663

⑮ Int. Cl.⁴

H 01 L 27/00

識別記号

庁内整理番号

8122-5F

⑬ 公開 昭和61年(1986)11月14日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-96744

⑱ 出 願 昭60(1985)5月9日

⑲ 発 明 者 小 椋 厚 志 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 発 明 者 江 上 浩 二 東京都港区芝5丁目33番1号 日本電気株式会社内

㉑ 出 願 人 工業技術院長

明 細 書

発明の名称 半導体装置

特許請求の範囲

基板上に絶縁層が形成され少なくともその上に能動層が一層以上に形成された構造を有する半導体装置において、層間絶縁膜として、AIN層を含む層を用いる事を特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、積層構造を有する半導体装置の構造に関するものである。

(従来技術とその問題点)

三次元集積回路の層間絶縁膜としては、従来、例えばジャーナル・オブ・エレクトロケミカル・ソサイエティー(J. Electrochem. Soc.)130 巻1983 年、1178-1183ページに記載されているように、主としてシリコン酸化 が使用されて来た。また、シリコン酸化物がにリン(PSG)、ホウ素(BSG)、あるいはリン

とホウ素の両方(PBSG)を固溶せしめた物質等が検討されている。しかし、それらの絶縁体物質の熱膨張係数と能動層を形成する材料であるシリコンの熱膨張係数が大きく異なるために、能動層のみならず層間絶縁膜にも残留歪が生じる、さらに絶縁膜が厚い場合には能動層にマイクロクラックが生じる、等の問題点がある。

(発明の目的)

本発明の目的は、残留歪が少なくマイクロクラックの存在しない良好な能動層もつ半導体装置を得る事にある。

(発明の構成)

本発明によれば、基板上に絶縁層が形成され少なくともその上に能動層が一層以上に形成された構造を有する半導体装置において、層間絶縁膜として、AIN層を含む層を用いる事を特徴とする半導体装置が得られる。

(作用・原理)

以下に、本発明によって従来技術にくらべ歪が少なく、マイクロクラックを含まない能動層を有

する積層構造を持つ半導体装置が得られる原理を説明する。従来積層構造を有する素子において、層間絶縁膜として検討されてきたシリコン酸化物の線熱膨張係数は $0.35(\times 10^{-6}\text{deg}^{-1})$ である。また、PSG, BSG, PBSGの線熱膨張係数は確かなデータは得られていないが、いずれも能動層を形成するSiの線熱膨張係数($2.5(\times 10^{-6}\text{deg}^{-1})$)より、かなり小さい値である事が予想される。一方、本発明を構成するAlNの線熱膨張係数は、 $4.0(\times 10^{-6}\text{deg}^{-1})$ であり、シリコンの線熱膨張係数より大きい値である。

ところで、現在用いられている絶縁体上でのシリコンの結晶化技術(SOI技術)はいずれも、絶縁体上に堆積した非晶質または多結晶状のシリコンを加熱する事によって固相あるいは液相成長によって結晶粒の成長を図る方法か、あるいは加熱した絶縁体上に直接シリコンを堆積する方法のいずれかであり、いずれの方法を用いても積層構造素子形成への適用に際しては、積層構造形成時の温度(特にシリコン能動層形成時の温度)と素子の使用時の温度(一般的には室温)に大きな差がある。

小さい($\Delta\omega \sim +1.4\text{cm}^{-1}$)ことがわかった。つまり仮にSiとの熱膨張係数の差が同じでその絶対値がSiより大きい基板と小さい基板があるならば、大きい基板を用いた方が再結晶後のSi膜のストレスが小さいということである。更に言えば、基板上には上記SiO₂膜のように層間絶縁膜を形成することが多いから、基板の熱膨張係数に層間絶縁膜のそれをも加味した平均的な熱膨張係数がSiよりあるていど大きいことが重要である。本発明では、層間絶縁膜として熱膨張係数がシリコンよりあるていど大きなAlN層を含む層を用いる事によって、以上に述べた欠点を克服し残留歪が少なくマイクロクラックを含まない良好なシリコン能動層を持つ積層構造半導体装置を得ている。

(実施例1)

以下本発明の実施例の一つについて図面を参照して詳細に説明する。

第1図は、本発明の実施例を説明するための断面図である。シリコン基板1上にAlN層3中のAl原子の下層シリコン基板への拡散を防ぐための障壁層と

この積層構造形成時と素子の使用時の温度に差がある事と、前記の層間絶縁膜の熱膨張係数がシリコン能動層より小さいことは、素子の使用時の温度においてSi能動層のみならず層間絶縁膜にも残留歪を生じる原因となり、極端な場合にはマイクロクラックを生じる事もある。

本発明者は種々の材料の基板上にSi膜を形成し、それにレーザアニールを施して再結晶化させたあとのSi膜中の残留歪について顕微ラマン分光法を用いて測定を行なった。歪のないバルクSiのラマンピークは、 520.5cm^{-1} のところにある。上記の残留歪によって生じるラマンピークのバルクSiからのシフト $\Delta\omega$ は、歪量 ΔS との間に $\Delta S = 2.49 \times 10^9 \Delta\omega$ (dyne/cm^2)という比例関係があることが知られている。Siとの熱膨張係数に近いコーニング7740ガラス基板、表面にSiO₂膜を形成したSi基板を用いた場合はむしろ残留歪が大きく($\Delta\omega \sim -3\text{cm}^{-1}$)、また熱膨張係数がSiより一桁小さい石英基板では更に大きい($\Delta\omega \sim -6\text{cm}^{-1}$)。一方Siより熱膨張係数の大きいアルミナ基板($7(\times 10^{-6}\text{deg}^{-1})$)を用いると、残留歪が

して、厚さ500~1000Åのシリコン窒化物層(Si₃N₄)をArガスを用いた通常のスパッタ法で堆積し、窒素ガスと高純度のAlターゲットを用い、基板温度を室温に保った反応性スパッタ法で、AlN層3を厚さ3μm形成した。さらに、AlN層中のAl原子の上層への拡散を防ぐための障壁層として、厚さ500~1000Åのシリコン窒化物層4を2と同じ方法で堆積し、さらに、上部シリコン層との、整合性を良好にする目的でシリコン酸化物層5(SiO₂)を2,4と同様にスパッタ法で厚さ1000Å堆積した。以上のうち2~5全体が従来のシリコン酸化物(あるいはPSG, BSG, PBSG等)に代わって層間絶縁膜の役割を果たす。次いで、上記構造上に、原料ガスとしてモノシラン(SiH₄)を用いて、減圧気相成長法、700℃で、膜厚1μmの多結晶シリコン膜を堆積した。この多結晶シリコン膜は堆積した状態ではほぼ基板垂直方向が<100>に配向している。この多結晶シリコン膜を、CW-Arレーザービームを用いて、ビーム径50μm、レーザーパワー8W、走査速度10mm/s、基

板加熱温度300°Cの条件でアニールを行ない、シリコン能動層6を得た。

第2図は、比較のために行なった従来の構造での実施例を説明するための図である。Si板7上に第1図の2~5の代わりに厚さ3 μm のSiO₂層8を2, 4, 5と同じスパッタ法で堆積した後、シリコン能動層9をシリコン能動層6と同じ方法で得た。

以上のようにして形成された2種のシリコン能動層6, 9を、異方性エッチング法およびラマン分光法で詳しく評価したところ、シリコン能動層9で観察されるマイクロクラックがシリコン能動層6には見られず、またラマン分光法で測定した結果、残留歪(引張り型)も前者の残留歪が、 8.0×10^9 (dyne/cm²)であるのに対して、後者の残留歪は 5.2×10^9 (dyne/cm²)であり、絶縁層としてAlNを含む層を用いる事によってシリコン能動層中の残留歪が約35%低減する事が確認された。第3図はラマン分光法で測定した結果であり、ラマンシフトのピークの無歪のバルクSiの値(図中一番下のスペクトル)からのずれが膜中の歪量に比例する。(歪量に換算す

ると 1cm^{-1} で 2.49×10^9 (dyne/cm²) また第3図で、 530cm^{-1} あたりに見られる小さなピークは、ラマン分光測定の際起光源として用いたアルゴンレーザの自然放出光であり、本測定結果とは無関係である。

また、他の条件を同じにしてAlN層3の厚さ1 μm にした場合はSiO₂層8の厚さを1 μm とした場合と比べてラマンシフトのピークはそれほど相違がなかった(第5図)。

(実施例2)

次に、本発明の他の実施例について説明する。

実施例1で用いたシリコン基板1の代わりにサファイア基板を用い、絶縁層の厚さを1 μm にし、実施例1と同様の方法で得たシリコン能動層をラマン分光法で測定した結果を第4図に示す。第4図より、シリコン基板の代わりにサファイア基板を用いた場合もやはり、約38%の残留歪(圧縮型)の低減効果が得られた。

(別の実施例)

また、本実施例ではシリコン能動層6が、基板状に一層形成されている場合について主に説明したが、更にその上に同様にAlN層を含む層を形成して、順次その上に複数のシリコン能動層を形成してもよい。また、表面にあらかじめデバイスが形成されたシリコン基板を用いてその上に前記実施例のようにAlN層を含む層を介してシリコン能動層6を形成してもよい。

また本実施例では、基板1としてシリコン基板、およびサファイア基板を用いて説明したが、他の基板である、セラミック基板や、ガラス基板をもちいても同様な結果が得られた。また、レーザービームだけでなく、電子ビームをもちいても同様な結果が得られた。

(発明の効果)

本発明の構造を用いる事によって、従来技術にくらべて歪が少なく、マイクロクラックを含まない能動層からなる積層構造を有する半導体装置が得られる事の他に、従来技術では、シリコン能動層にマイクロクラックを生じさせないために、1 μm 程

度以下に制限されていた層間絶縁膜の膜厚を、大きくする事が可能となり、積層化時に必要な表面の平坦化プロセスにおいて、平坦性が上がるという利点が得られた。つまりいったん厚く形成してから、それを平坦化するという平坦化方法がとれる。

第5図は、実施例1, 2のまとめであり絶縁層の材料のちがいによるラマンシフトの変化を基板材料と絶縁層の膜厚をパラメータとして示したものである。Si基板を用いて、絶縁層の厚さを1 μm にした場合にはAlNを含む層を用いた事による残留歪の減少効果は見られないが、絶縁層の厚さを3 μm にすると、AlNを含む層を用いた場合には、残留歪量に程んど変化が見られないのに対して、SiO₂を用いた場合には、残留歪の顕著な増加が見られる。この事からAlNを含む層を用いた事の効果は、絶縁層膜厚が増せば増す程、また、絶縁層によって電気的に絶縁されたシリコン能動層の層数が増せば増す程より効果的に表われると考えられる。また、サ

ファイア基板を用いた場合は、絶縁層膜厚が1 μ mの場合で、すでにAlNを用いた効果が表われている。

また、AlN熱容量がシリコン酸化 に比べて大きい事から、従来インターナショナル・エレクトロニクス・ミーティング(International Electron Device Meeting)プロシーディングス、352~355ページ(1983)に記載されているように、多結晶シリコン層を挿入する事によって熱だめの役割を果たして来た効果を多結晶シリコン層を挿入する事なしに得る事が可能となった。

図面の簡単な説明

第1図は本発明の実施例を示す断面図、第2図は比較のために従来例を説明するための断面図である。また、第3図および第4図は、本発明の有効性を説明するために行なったラマン分光測定の結果を示す図である。第5図は実施例をまとめて示す図で、絶縁層材料によるラマンシフトのちがいを示す図である。

図中

1,7...シリコン基板

2,4...シリコン窒化物層

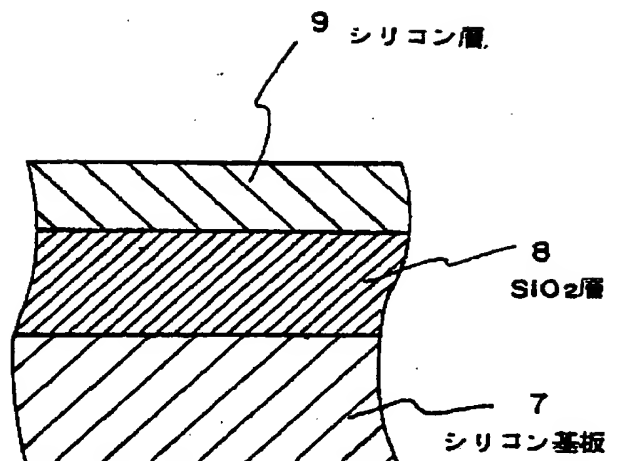
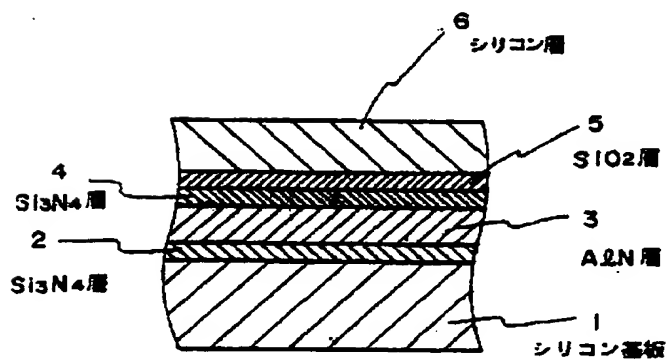
3...AlN層

5...シリコン酸化物層

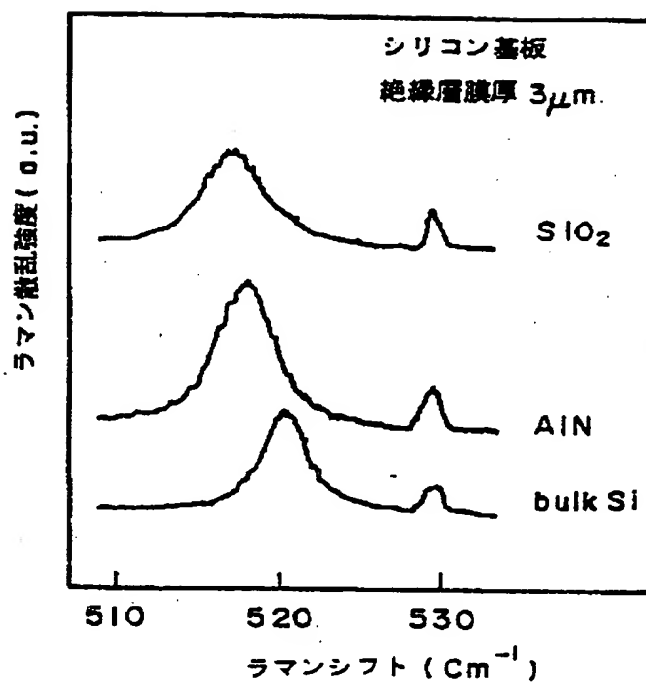
6,9...シリコン絶縁層

オ 2 図

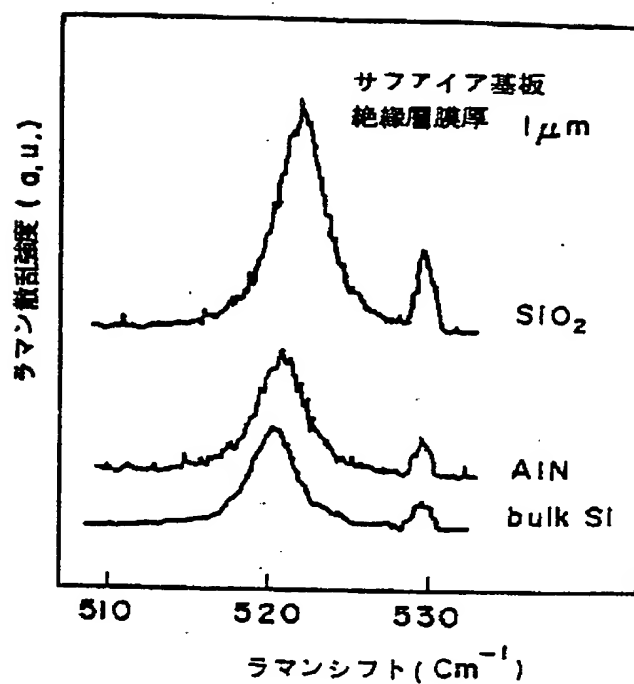
オ 1 図



オ 3 図



オ 4 図



オ 5 図

